

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049283

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 10-212969

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.07.1998

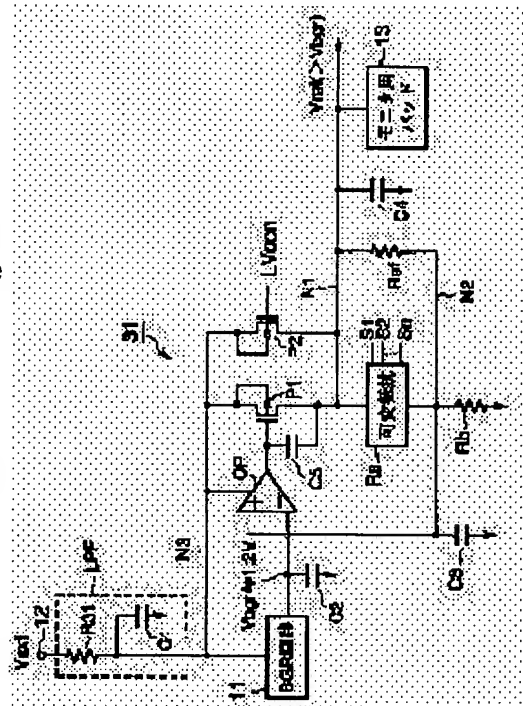
(72)Inventor : IKEHASHI TAMIO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, wherein the current consumption difference due to the trimming difference of a reference potential can be reduced, and in a semiconductor device which steps down the power voltage, the operation at the time of power switch on can be stabilized, and required reference potential can be surely generated.

SOLUTION: A reference potential  $V_{bgr}$  generated by a BGR circuit 11 is fed to an inversion input of a differential amplifier OP. The gate of a PMOS transistor P1 having a source connected to an external power source is connected to the output of the differential amplifier OP, and the drain of the PMOS transistor P1 is connected to a node N1. A resistor  $R_{af}$  and variable resistors  $R_a$  which are controllable according to trimming signals  $S_1, \dots, S_n$  are connected in parallel between the nodes N1, N2. A resistor  $R_b$  is connected between the node N2 and ground, the node N2 is connected to a non-inverting input of the differential amplifier OP, and a trimmed reference potential  $V_{ref}$  is outputted from the node N1.



## LEGAL STATUS

[Date of request for examination]

09.07.2001

[Date of sending the examiner's decision of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-49283

(P2000-49283A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.<sup>7</sup>

H01L 27/04  
21/822

識別記号

F I

H01L 27/04

キーワード<sup>\*</sup> (参考)

B 5 F 0 3 8

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平10-212969

(22) 出願日 平成10年7月28日 (1998.7.28)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 池橋 民雄

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム (参考) 5F038 AV02 AV13 AV15 AZ03 BB05

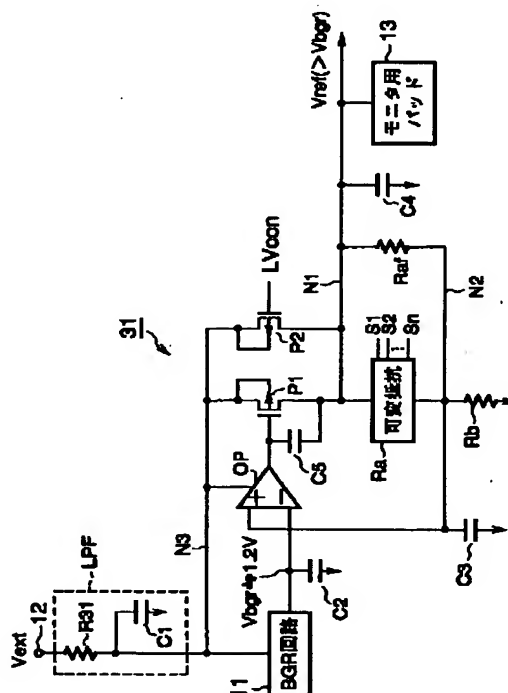
BB07 DF01 DT04 DT12 EZ20

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 トリミングの違いにより消費電流の差が生じ、電源投入時のレファレンス電圧のトリミングを確実に行うことが困難であった。

【解決手段】 差動増幅器OPの反転入力端にはBGR回路11により発生されたレファレンス電位 $V_{bgr}$ が供給される。ソースが外部電源に接続されたPMOSトランジスタP1のゲートは差動増幅器OPの出力端に接続され、このPMOSトランジスタP1のドレインはノードN1に接続される。このノードN1とノードN2の間には抵抗 $R_{af}$ とトリミング信号 $S1 \dots Sn$ に応じて制御される可変抵抗 $R_a$ が並列接続されている。ノードN2と接地間には抵抗 $R_b$ が接続され、このノードN2は差動増幅器OPの非反転入力端に接続されている。ノードN1からトリミングされたレファレンス電位 $V_{ref}$ が出力される。



## 【特許請求の範囲】

【請求項1】 外部から供給される外部電源電圧を降圧して内部回路に供給する内部電源電圧を生成する半導体装置であって、

レファレンス電位を発生するレファレンス電位発生手段と、

前記レファレンス電位発生手段により発生されたレファレンス電位をトリミングするためのトリミング信号を発生するトリミング信号発生手段と、

第1の入力端に前記レファレンス電位発生手段により発生されたレファレンス電位が入力される差動増幅器と、電流通路の一端に前記外部電源電圧が供給され、ゲートが前記差動増幅器の出力端に接続され、電流通路の他端が第1の端子に接続されたMOSトランジスタと、前記第1の端子と第2の端子の間に接続された第1の抵抗と、

前記第2の端子と接地間に接続された第2の抵抗と、

前記第1の抵抗と並列に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第3の抵抗とを具備し、

前記第2の端子は前記差動増幅器の第2の入力端に接続され、前記第1の端子からトリミングされたレファレンス電位を出力することを特徴とする半導体装置。

【請求項2】 外部から供給される外部電源電圧を降圧して内部回路に供給する内部電源電圧を生成する半導体装置であって、

レファレンス電位を発生するレファレンス電位発生手段と、

前記レファレンス電位発生手段により発生されたレファレンス電位をトリミングするためのトリミング信号を発生するトリミング信号発生手段と、

第1の入力端に前記レファレンス電位発生手段により発生されたレファレンス電位が入力される差動増幅器と、電流通路の一端に前記外部電源電圧が供給され、ゲートが前記差動増幅器の出力端に接続され、電流通路の他端が第1の端子に接続されたMOSトランジスタと、前記第1の端子と第2の端子の間に接続された第1の抵抗と、

前記第2の端子と接地間に接続された第2の抵抗と、

前記第1の抵抗と並列に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第3の抵抗とを具備し、

前記第1の端子は前記差動増幅器の第2の入力端に接続され、前記第2の端子からトリミングされたレファレンス電位を出力することを特徴とする半導体装置。

【請求項3】 前記第2の抵抗と並列に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第4の抵抗とを具備することを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 外部から供給される外部電源電圧を降圧

して内部回路に供給する内部電源電圧を生成する半導体装置であって、

レファレンス電位を発生するレファレンス電位発生手段と、

前記レファレンス電位発生手段により発生されたレファレンス電位をトリミングするためのトリミング信号を発生するトリミング信号発生手段と、

第1の入力端に前記レファレンス電位発生手段により発生されたレファレンス電位が入力される差動増幅器と、電流通路の一端に前記外部電源電圧が供給され、ゲートが前記差動増幅器の出力端に接続され、電流通路の他端が第1の端子に接続されたMOSトランジスタと、前記第1の端子と第2の端子の間に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第1の抵抗と、

前記第2の端子と接地間に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第2の抵抗とを具備し、

前記第1の端子は前記差動増幅器の第2の入力端に接続され、前記第2の端子からトリミングされたレファレンス電位を出力し、前記第1の抵抗と前記第2の抵抗の抵抗値の和が、前記トリミング信号発生手段の出力信号によらずに一定であることを特徴とする半導体装置。

【請求項5】 外部から供給される外部電源電圧を降圧して内部回路に供給する内部電源電圧を生成する半導体装置であって、

レファレンス電位を発生するレファレンス電位発生手段と、

前記レファレンス電位発生手段により発生されたレファレンス電位をトリミングするためのトリミング信号を発生するトリミング信号発生手段と、

第1の入力端に前記レファレンス電位発生手段により発生されたレファレンス電位が入力される差動増幅器と、電流通路の一端に前記外部電源電圧が供給され、ゲートが前記差動増幅器の出力端に接続され、電流通路の他端が第1の端子に接続されたMOSトランジスタと、前記第1の端子と第2の端子の間に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第1の抵抗と、

前記第2の端子と接地間に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第2の抵抗とを具備し、

前記第2の端子は前記差動増幅器の第2の入力端に接続され、前記第1の端子からトリミングされたレファレンス電位を出力し、前記第1の抵抗と前記第2の抵抗の抵抗値の和が、前記トリミング信号発生手段の出力信号によらずに一定であることを特徴とする半導体装置。

【請求項6】 前記トリミング信号発生手段の出力端に接続され、トリミング信号発生手段から出力されるトリミング信号を外部電源電圧にシフトするレベルシフタを

さらに具備することを特徴とする請求項1乃至5のいずれかに記載の半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、例えば半導体装置に係わり、特に、半導体記憶装置の電源等に適用され、BGR (Band Gap Reference) 回路により発生されたレファレンス電位を所要の電位にトリミングするトリミング回路に関する。

##### 【0002】

【従来の技術】不揮発性メモリのような半導体記憶装置においては、半導体記憶装置内で電源電圧を昇圧したり降圧して所要の電圧を発生している。この昇圧電圧等の半導体記憶装置内で作成した電圧を所定の電位に設定するため、電源電圧や温度に依存性のないレファレンス電圧が必要となる。

【0003】BGR回路はこのようなレファレンス電圧を生成する回路であり、約1.2Vのレファレンス電圧を出力する。しかし、このBGR回路の出力電圧はプロセスのばらつきによりずれるおそれがある。出力電圧のばらつきは0.1V程度であるが、このレファレンス電位を用いて例えば24Vの電位を生成する場合、24Vの電位のばらつきは

$$0.1 \times 24 / 1.2 = 2 \text{ (V)}$$

$$V_{ref} = (R_a + R_b) \cdot V_{bgr} / R_b \quad (1)$$

レファレンス電位 $V_{ref}$ をトリミングする場合、レファレンス電位 $V_{ref}$ の値をモニタ用パッド104からモニタし、レファレンス電位 $V_{ref}$ が1.5Vとなるよう可変抵抗 $R_b$ の値を調整すればよい。抵抗 $R_b$ のトリミングはトリミング信号発生回路102内の図示せぬヒューズを切ることによりなされる。すなわち、ヒューズを切ることによりヒューズの状態が決まると、それに応じてトリミング信号発生回路102から出力される信号 $T_1 \sim T_n$ がデコーダ103によりデコードされる。この結果、デコーダ103の出力信号 $S_1 \sim S_n$ のうちのひとつがハイレベルとなる。このハイレベルとされた出力信号に応じて、可変抵抗 $R_b$ を構成する複数のNチャネルMOSトランジスタ（以下、NMOSトランジスタと称す）のうちのひとつがオンとされ、可変抵抗 $R_b$ の値が決定される。例えば信号 $S_j$ がハイレベルとなっている場合、抵抗 $R_b$ の値は(2)式に示すようになる。

##### 【0007】

##### 【数1】

$$R_b = \sum_{i=1}^I R_i \quad (2)$$

##### 【0008】

【発明が解決しようとする課題】上記従来のレファレンス電位トリミング回路は、次のような使い方をする場合に問題が生じる。第1の問題は、電圧 $V_{bgr} = 1.2 \times 50$

\*と増幅され、許容できないレベルとなる。

【0004】また、レファレンス電位を使用する回路の性質上、1.2V以外のレファレンス電位（例えば1Vあるいは1.5V）が必要となる場合がある。このためBGR回路により作成されたレファレンス電位を変換するレファレンス電位トリミング回路が必要となる。

【0005】図10は、従来のレファレンス電位トリミング回路を示している。この回路は電源電圧を降圧しない不揮発性メモリに使用されるものであり、BGR回路101から出力される電圧 $V_{bgr}$ （約1.2V）に基づきレファレンス電位 $V_{ref}$ （=1.5V）を生成する。このレファレンス電位トリミング回路は、差動増幅器OP、PチャネルMOSトランジスタ（以下、PMOSトランジスタと称す）P1、抵抗 $R_a$ 、この抵抗 $R_a$ に接続された可変抵抗 $R_b$ 、トリミング信号発生回路102の出力信号 $T_1 \sim T_n$ （ $n=2^m$ 、 $m$ =正の整数）に応じて可変抵抗 $R_b$ を切替えるデコーダ103、モニタ用パッド104及びキャパシタ $C_1 \sim C_4$ により構成されている。前記抵抗 $R_a$ はノードN1とN2の相互間に接続され、可変抵抗 $R_b$ はノードN2と接地間に接続されている。各回路には外部電源電圧 $V_{ext}$ が供給されている。

【0006】このような構成において、レファレンス電位 $V_{ref}$ は(1)式に示す関係を有している。

\* $V$ の近傍でトリミングする場合である。この場合、抵抗 $R_a$ 及び可変抵抗 $R_b$ の経路を流れる電流値がトリミングの状態により大きく変わってしまう。これはノードN1から離れた可変抵抗 $R_b$ を変化されているためである。電流の変化量を定量的に見るため、1.1Vから1.3Vの範囲で変動するBGR回路101の出力電圧 $V_{bgr}$ から、1.5Vのレファレンス電位 $V_{ref}$ を作る場合を考える。(1)式より、 $V_{bgr} = 1.1V$ の場合、 $V_{ref} = 1.5V$ とするため、可変抵抗 $R_b$ の値は、

$$R_b = 2.75 R_a$$

とする必要がある。また、BGR回路101の出力電圧 $V_{bgr}$ が1.3Vの場合、 $V_{ref} = 1.5V$ とするため、可変抵抗 $R_b$ の値は、

$$R_b = 6.5 R_a$$

とする必要がある。よって、合成抵抗 $R = R_a + R_b$ は $V_{bgr} = 1.1V$ の場合、 $R = 3.75 R_a$ 、 $V_{bgr} = 1.3V$ の場合、 $R = 7.5 R_a$ となる。

【0009】抵抗 $R_a$ 、 $R_b$ の経路を流れる電流は $I = V_{ref} / R$ である。このため、 $V_{bgr} = 1.1V$ の場合、 $V_{bgr} = 1.3V$ の場合の2倍の電流が流れることになる。両者の差は、 $V_{bgr}$ と $V_{ref}$ の値が接近している場合さらに大きくなる。この電流値が変わると、差動増幅器OP、PMOSトランジスタP1および抵抗から構成されるフィードバック系の応答特性が変化

5

する。このため、トリミング値によっては応答が速すぎてレファレンス電位 $V_{ref}$ の値が急激に増加したり、あるいは逆に応答が遅すぎてレファレンス電位 $V_{ref}$ の上昇が鈍ることが起こり得る。また、スタンバイ状態からトリミング回路を動作させる場合、トリミング値によりスタンバイ電流が変化することとなり、これも好ましくない。

【0010】第2の問題は、電源電圧を降圧して所要の電圧を発生する半導体記憶装置にこのトリミング回路を適用する場合に起こる。外部電源電圧を降圧回路により降圧して内部電源電位を発生する方式において、トリミング信号発生回路102、デコーダ103を含む論理回路の電源には全て内部電源電位が用いられる。論理回路の電源を外部電源とすると、論理回路を構成するトランジスタのホットエレクトロン耐性が悪化する。したがって、図10に示すような回路を適用する場合、図11に示すように、トリミング信号発生回路102、及びデコーダ103に内部電源電圧 $V_{int}$ を供給する必要がある。ところが、図示せぬ降圧回路はトリミング回路によって作られたレファレンス電位 $V_{ref}$ に基づいて内部電源電圧を発生している。このため、電源投入時においては、次のような問題が起こる。まず、外部電源電圧が上昇すると、これを電源とするBGR回路101、差動増幅器OPが動作する。しかし、この段階ではまだ内部電源電圧が発生していない。このため、トリミング信号発生回路102、及びデコーダ103の出力レベルは確定していず、0Vに近い状態となっている。したがって、レファレンス電位 $V_{ref}$ も確定しない。しかし、降圧回路はこの不確定なレファレンス電位をもとに内部電源電圧を発生しようとする。このため、内部電源電圧が確定するまでに時間がかかったり、最悪の場合いつまでも内部電源電圧が上昇しないという状況に陥る。以上のような理由から、電源電圧を降圧する半導体記憶装置に、図11に示す回路構成を適用することができない。

【0011】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、レファレンス電位のトリミングの相違による消費電流の差を少なくすることが可能であり、しかも、電源電圧を降圧する半導体装置において、電源投入時の動作を安定化でき確実に所要のレファレンス電位を生成することが可能な半導体装置を提供しようとするものである。

【0012】

【課題を解決するための手段】本発明は、上記課題を解決するため、外部から供給される外部電源電圧を降圧して内部回路に供給する内部電源電圧を生成する半導体装置であって、レファレンス電位を発生するレファレンス電位発生手段と、前記レファレンス電位発生手段により発生されたレファレンス電位をトリミングするためのトリミング信号を発生するトリミング信号発生手段と、第

6

1の入力端に前記レファレンス電位発生手段により発生されたレファレンス電位が入力される差動増幅器と、電流通路の一端に前記外部電源電圧が供給され、ゲートが前記差動増幅器の出力端に接続され、電流通路の他端が第1の端子に接続されたMOSTランジスタと、前記第1の端子と第2の端子の間に接続された第1の抵抗と、前記第2の端子と接地間に接続された第2の抵抗と、前記第1の抵抗と並列に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第3の抵抗とを具備し、前記第2の端子は前記差動増幅器の第2の入力端に接続され、前記第1の端子からトリミングされたレファレンス電位を出力する。

【0013】また、本発明は、外部から供給される外部電源電圧を降圧して内部回路に供給する内部電源電圧を生成する半導体装置であって、レファレンス電位を発生するレファレンス電位発生手段と、前記レファレンス電位発生手段により発生されたレファレンス電位をトリミングするためのトリミング信号を発生するトリミング信号発生手段と、第1の入力端に前記レファレンス電位発生手段により発生されたレファレンス電位が入力される差動増幅器と、電流通路の一端に前記外部電源電圧が供給され、ゲートが前記差動増幅器の出力端に接続され、電流通路の他端が第1の端子に接続されたMOSTランジスタと、前記第1の端子と第2の端子の間に接続された第1の抵抗と、前記第2の端子と接地間に接続された第2の抵抗と、前記第1の抵抗と並列に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第3の抵抗とを具備し、前記第1の端子は前記差動増幅器の第2の入力端に接続され、前記第2の端子からトリミングされたレファレンス電位を出力する。

【0014】さらに、本発明は、外部から供給される外部電源電圧を降圧して内部回路に供給する内部電源電圧を生成する半導体装置であって、レファレンス電位を発生するレファレンス電位発生手段と、前記レファレンス電位発生手段により発生されたレファレンス電位をトリミングするためのトリミング信号を発生するトリミング信号発生手段と、第1の入力端に前記レファレンス電位発生手段により発生されたレファレンス電位が入力される差動増幅器と、電流通路の一端に前記外部電源電圧が供給され、ゲートが前記差動増幅器の出力端に接続され、電流通路の他端が第1の端子に接続されたMOSTランジスタと、前記第1の端子と第2の端子の間に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第1の抵抗と、前記第2の端子と接地間に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第2の抵抗とを具備し、前記第1の端子は前記差動増幅器の第2の入力端に接続され、前記第2の端子からトリミングされたレファレンス電位を出力し、前記第1の抵抗と前記第2の抵抗の抵抗値の和が、前記トリミング信号発生手段の出力信号に

よらずに一定である。

【0015】また、本発明は、外部から供給される外部電源電圧を降圧して内部回路に供給する内部電源電圧を生成する半導体装置であって、レファレンス電位を発生するレファレンス電位発生手段と、前記レファレンス電位発生手段により発生されたレファレンス電位をトリミングするためのトリミング信号を発生するトリミング信号発生手段と、第1の入力端に前記レファレンス電位発生手段により発生されたレファレンス電位が入力される差動増幅器と、電流通路の一端に前記外部電源電圧が供給され、ゲートが前記差動増幅器の出力端に接続され、電流通路の他端が第1の端子に接続されたMOSトランジスタと、前記第1の端子と第2の端子の間に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第1の抵抗と、前記第2の端子と接地間に接続され、前記トリミング信号発生手段の出力信号に応じて抵抗値が変えられる第2の抵抗とを具備し、前記第2の端子は前記差動増幅器の第2の入力端に接続され、前記第1の端子からトリミングされたレファレンス電位を出力し、前記第1の抵抗と前記第2の抵抗の抵抗値の和が、前記トリミング信号発生手段の出力信号によらずに一定である。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図2、図3は、本発明が適用される半導体装置の電源回路を示している。図2において、外部電源パワーオン検知回路21には、外部電源電圧 $V_{ext}$ が供給されている。この外部電源パワーオン検知回路21は、外部電源電圧を検出し、信号 $LV_{ccn}$ を出力する。この信号 $LV_{ccn}$ は外部電源電圧 $V_{ext}$ が所定のレベル以下の場合ローレベルとされ、電源が投入され外部電源電圧 $V_{ext}$ が所定のレベル以上となるとハイレベルとなる。

【0017】また、内部電源パワーオン検知回路22には、後述する降圧回路により生成された内部電源電圧 $V_{int}$ が供給されている。この内部電源パワーオン検知回路22は内部電源電圧 $V_{int}$ のレベルに応じて信号 $LV_{dd}$ を出力する。内部電源電圧 $V_{int}$ が所定のレベル以下の場合、前記信号 $LV_{dd}$ はローレベルであり、内部電源電圧 $V_{int}$ が所定のレベル以上となると信号 $LV_{dd}$ はハイレベルとなる。この信号 $LV_{dd}$ 及び外部電源パワーオン検知回路21から出力される信号 $LV_{ccn}$ はナンド回路23に供給される。このナンド回路23の出力端にはインバータ回路24が接続されている。これらナンド回路23、インバータ回路24には前記内部電源電圧 $V_{int}$ が供給されている。このインバータ回路24の出力端より信号 $LV_{ddn}$ が出力される。この信号 $LV_{ddn}$ は外部電源電圧 $V_{ext}$ 及び内部電源電圧 $V_{int}$ が所定のレベル以下の場合、及び外部電源電圧 $V_{ext}$ が所定のレベル以上となり、内部電

源電圧 $V_{int}$ が所定にレベル以下の場合、信号 $LV_{ccn}$ 、 $LV_{dd}$ に応じてローレベルとなっている。さらに、内部電源電圧 $V_{int}$ が所定のレベル以上となると、信号 $LV_{ddn}$ はハイレベルとなる。

【0018】図3において、BGR回路11を含むレファレンス電位トリミング回路31には外部電源電圧 $V_{ext}$ が供給されている。このレファレンス電位トリミング回路31には、前記外部電源パワーオン検知回路21より前記信号 $LV_{ccn}$ が供給されている。このレファレンス電位トリミング回路31から出力されるレファレンス電圧 $V_{ref}$ は降圧回路32、及び昇圧回路33に供給される。降圧回路32はレファレンス電圧 $V_{ref}$ に基づいて外部電源電圧 $V_{ext}$ を降圧し、前記内部電源電圧 $V_{int}$ を生成する。前記昇圧回路33はレファレンス電圧 $V_{ref}$ に基づいて外部電源電圧 $V_{ext}$ を昇圧し、所定の電圧を生成する。

【0019】トリミング信号を発生するトリミング信号発生回路34には前記降圧回路32により生成された内部電源電圧 $V_{int}$ が供給されている。このトリミング信号発生回路34には、前記信号 $LV_{ddn}$ が供給されている。このトリミング信号発生回路34は信号 $LV_{ddn}$ に応じて内部電源電圧 $V_{int}$ レベルのトリミング信号を発生する。このトリミング信号はデコーダ35によりデコードされる。このデコードされたトリミング信号 $S1$ 、 $S2$ … $S_n$ は、レベルシフタ36に供給される。このレベルシフタ36は各トリミング信号のレベルを内部電源電圧 $V_{int}$ から外部電源電圧 $V_{ext}$ にシフトする。このレベルシフタ36によりレベルが変換されたトリミング信号 $S1$ ～ $S_n$ は前記レファレンス電位トリミング回路31に供給される。なお、前記トリミング信号発生回路34は、例えば図示せぬヒューズ又はコマンドに応じてトリミング信号を発生するように構成されている。

【0020】図4は、前記レベルシフタ36の回路構成の一例を示している。このレベルシフタ36は外部電源電圧 $V_{ext}$ により駆動されるPMOSTランジスタ36a、36b、内部電源電圧 $V_{int}$ により駆動されるNMOSTランジスタ36c、36d、及びインバータ回路36eにより構成されている。この回路は例えばトリミング信号の数と同数個設けられ、各トリミング信号をレベルシフト可能とされている。

【0021】図1は、本発明の第1の実施の形態に係わり、前記レファレンス電位トリミング回路の構成を示している。BGR回路11には、外部電源電圧 $V_{ext}$ が供給される電源端子12からローパスフィルタLPFを介して外部電源電圧 $V_{ext}$ が供給される。前記ローパスフィルタLPFは抵抗 $R31$ 、キャパシタ $C1$ により構成されている。前記BGR回路11の出力端はキャパシタ $C2$ を介して接地されるとともに、差動増幅器OPの反転入力端に接続されている。この差動増幅器OPの

非反転入力端はキャパシタC3を介して接地され、出力端はPMOSTランジスタP1のゲートに接続されている。このPMOSTランジスタP1のソースは前記ローパスフィルタLPFの出力ノードN3に接続され、ゲートとドレインはキャパシタC5を介して接続されている。このPMOSTランジスタP1には、PMOSTランジスタP2が並列接続されている。このPMOSTランジスタP2のゲートには前記外部電源パワーオン検知回路21から出力される信号LVccnが供給されている。

【0022】前記PMOSTランジスタP1のドレイン（ノードN1）は、可変抵抗Ra、抵抗Rbを介して接地され、これら可変抵抗Raと抵抗Rbの接続ノードN2は前記差動増幅器OPの非反転入力端に接続されている。前記可変抵抗Raには前記レベルシフタ36から出力されるトリミング信号S1、S2～Snが供給される。さらに、前記可変抵抗Raには抵抗Rafが並列接続されている。前記接続ノードN1よりレファレンス電圧Vrefが出力される。この接続ノードN1と接地間にはキャパシタC4が接続され、さらに、接続ノードN1には電圧をモニタするためのモニタ用パッド13が接続されている。

【0023】前記キャパシタC1～C4は電圧安定化用の容量であり、キャパシタC5は位相補償用の容量である。第1の実施の形態に示すトリミング回路は、BGR回路11から出力される電圧Vbgr、例えば約1.2Vからそれより高いレファレンス電圧Vref、例えば1.5Vを生成する。図10、図11に示す従来例との主な違いは、ノードN1とN2との間に可変抵抗Raが接続されていること、この可変抵抗Raと並列に抵抗Rafが接続されていることである。

【0024】図5(a)は、上記可変抵抗Rbの一例を示している。この可変抵抗Raは、抵抗R1とNMOSTランジスタN1の直列回路、抵抗R2とNMOSTランジスタN2の直列回路…抵抗RnとNMOSTランジスタNnの直列回路が互いに並列接続されている。各NMOSTランジスタN1、N2…Nnのゲートには、前記レベルシフタ36から出力されるトリミング信号S1、S2…Snが供給される。

【0025】図5(b)は、上記可変抵抗Raの他の例\* 40

$$V_{ref} = (R_{af} + R_b) V_{bgr} / R_b \quad (3)$$

この暫定的なレファレンス電圧(Vrefpと呼ぶことにする)と最終的なレファレンス電圧Vrefとの差は、Rafと可変抵抗Rbとの配分を調節することにより小さくできる。降圧回路32は暫定的なレファレンス電圧Vrefpに基づいて内部電源電圧を生成する。内部電源電圧が内部電源パワーオン検知回路22の検知レベル以上になると、その出力信号LVddnがローレベルからハイレベルへと変化する。この信号LVddnによりトリミング信号発生回路34の出力が確定し、トリ※50

\*を示している。この可変抵抗Raは、図10、図11に示す回路と同様であり、直列接続された抵抗R1、R2…Rnの各接続ノードと接地間にNMOSTランジスタN1、N2…Nnが並列接続され、各NMOSTランジスタN1、N2…Nnのゲートには、前記レベルシフタ36から出力されるトリミング信号S1、S2…Snが供給される。

【0026】第1の実施の形態によれば、(1)式中の抵抗Raをトリミングしている。このため、トリミング信号の違いによる電流値の変動が小さくて済む。例えば前述したように、電圧1.1Vから1.3Vの範囲で変動する電圧Vbgrから、1.5Vのレファレンス電圧Vrefを生成する場合を考えると、電圧Vbgr=1.1VのときR=1.36Rb、電圧Vbgr=1.3VのときR=1.15Rbであるため、両者の電流値の違いは18%となり、従来例に比べ小さい。但し、このようにノードN1、N2間の抵抗を可変とする場合、図5(a)もしくは図5(b)中のNMOSTランジスタにより転送電位が閾値電圧分低下しないように注意する必要がある。第1の実施の形態では、この閾値電圧の低下を回避するため、トリミング信号発生回路34から出力される信号のレベルをレベルシフタ36によりシフトし、ハイレベルを外部電源電位Vextとしている。このため、NMOSTランジスタにおける閾値電圧の低下を防止できる。

【0027】次に、第1の実施の形態における電源投入時の動作について、図1、図2、図3を用いて説明する。まず、外部電源電圧Vextが上昇し、このレベルが外部電源パワーオン検知回路21の検知レベル以上になると、その出力信号LVccnがローレベルからハイレベルへと変化する。図1に示すPMOSTランジスタP2は信号LVccnがローレベルからハイレベルへと変化するに伴い、オンからオフとなる。信号LVccnの上記変化に伴い、BGR回路11がスタートアップし、電圧Vbgrが確定する。この時点では、まだ内部電源電位Vintは発生していない。図1に示すトリミング信号S1、S2…Snも確定していない。しかし、可変抵抗Rbと並列に接続された抵抗Rafとにより、レファレンス電圧Vrefは式(3)に示ようになる。

【0028】

※ミング信号がデコーダ35、レベルシフタ36を経てレファレンス電位トリミング回路31に入力される。この結果、レファレンス電位トリミング回路31は暫定的なレファレンス電圧Vrefpの値を補正し、最終的なレファレンス電圧Vrefを出力する。

【0029】上記第1の実施の形態によれば、ノードN1とN2の相互間に可変抵抗Raを配置している。このため、基準となるレファレンス電位の相違に応じて可変抵抗の値を変えた場合においても、消費電流の差を少な



くすることができる。

【0030】しかも、内部電源電圧が出ていない間も暫定的なレファレンス電圧 $V_{refp}$ を出力している。このため、電源が投入されてから内部電源電圧及びレファレンス電圧の最終値が確定するまでの動作を安定化できる。

【0031】次に、本発明の第2の実施の形態について説明する。第1の実施の形態では、図1に示す回路を用いてレファレンス電位 $V_{ref}$ の値を $V_{bgr}$ よりも大きくする場合について説明した。これに対して、第2の実施の形態は、レファレンス電位 $V_{ref}$ の値を $V_{bgr}$ よりも小さい、例えば $V_{ref}=1.0V$ を発生する場合について示している。

【0032】図6は、第2の実施の形態を示すものであり、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。図6において、図1と相違するのは、ノードN1とN2の接続関係が変わっている点である。すなわち、ノードN1にキャパシタC3が接続され、ノードN2にキャパシタC4とモニタ用パッド13が接続されている。レファレンス電圧 $V_{ref}$ はノードN2から出力される。図6に示す回路の動作は図1の場合と同様である。

【0033】このような構成とすれば、BGR回路11の出力電圧 $V_{bgr}$ よりも低いレファレンス電圧 $V_{ref}$ を生成できる。図7は、本発明の第3の実施の形態を示しており、図6と同一部分には同一符号を付し異なる部分についてのみ説明する。この実施の形態において、ノードN1とN2の相互間には、第1の可変抵抗 $VR1$ を構成する $n$ 個の抵抗 $R11 \cdots R1n$ と $n$ 個のNMOSトランジスタ $N11 \cdots N1n$ の直列回路が並列接続されている。NMOSトランジスタ $N11 \cdots N1n$ の各ゲートにはトリミング信号 $S1 \cdots Sn$ が供給されている。また、ノードN2と接地間には、第2の可変抵抗 $VR2$ を構成する $n$ 個の抵抗 $R21 \cdots R2n$ と $n$ 個のNMOSトランジスタ $N21 \cdots N2n$ の直列回路が並列接続されている。NMOSトランジスタ $N21 \cdots N2n$ の各ゲートにはトリミング信号 $S1 \cdots Sn$ が供給されている。

【0034】第3の実施の形態によれば、第1の可変抵抗 $VR1$ と抵抗 $Raf$ との合成抵抗、第2の可変抵抗 $VR2$ と抵抗 $Rb$ との合成抵抗の和が一定となるように可変抵抗の値を決定することにより、トリミングの違いによる消費電流の違いを除去することができる。すなわち、次式が成立するように合成抵抗を定めることにより、異なるトリミング時における消費電流を等しくすることができる。

【0035】 $R1j \cdot Raf / (R1j + Raf) + R2j \cdot Rb / (R2j + Rb) = \text{一定} \quad (j=1 \cdots n)$

図8は、本発明の第4の実施の形態を示している。第4の実施の形態は、図1に示す回路に図7に示す第1の可変抵抗 $VR1$ と、第2の可変抵抗 $VR2$ を組合わせたも

のであり、図1、図7と同一部分には同一符号を付し、説明は省略する。このような構成としても第3の実施の形態と同様の効果を得ることができる。

【0036】図9は、本発明の第5の実施の形態を示しており、図7に示す構成を電源電圧を降圧しない方式の半導体装置に適用した場合を示している。この場合、第1の可変抵抗 $VR1$ と第2の可変抵抗 $VR2$ の抵抗値を構成する抵抗を

$$R1j + R2j = \text{一定} \quad (j=1 \cdots n)$$

となるようにすればよい。この発明は上記実施例に限定されるものではなく、発明の要旨を変えない範囲で種々変形実施可能なことは勿論である。

【0037】

【発明の効果】以上、詳述したようにこの発明によれば、レファレンス電位のトリミングの相違による消費電流の差を少なくすることが可能であり、しかも、電源電圧を降圧する半導体装置において、電源投入時の動作を安定化でき確実に所要のレファレンス電位を生成することが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す回路図。

【図2】本発明が適用される半導体装置の電源回路を示す構成図。

【図3】本発明が適用される半導体装置の電源回路を示す構成図。

【図4】図3に示すレベルシフタの一例を示す回路図。

【図5】図5(a)、図5(b)はそれぞれ図1に示す可変抵抗の例を示す回路図。

【図6】本発明の第2の実施の形態を示す回路図。

【図7】本発明の第3の実施の形態を示す回路図。

【図8】本発明の第4の実施の形態を示す回路図。

【図9】本発明の第5の実施の形態を示す回路図。

【図10】従来のレファレンス電位トリミング回路を示す回路図。

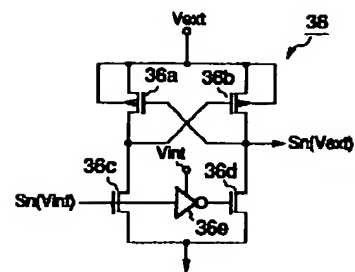
【図11】従来のレファレンス電位トリミング回路の他の例を示す回路図。

【符号の説明】

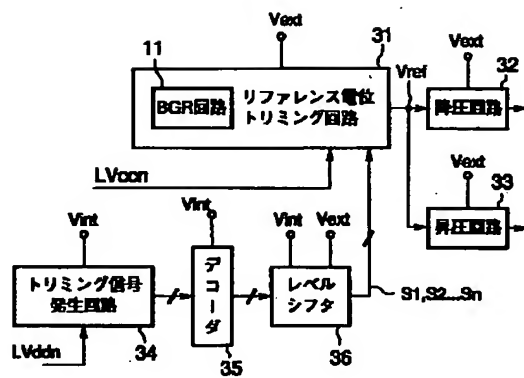
11…BGR回路、  
OP…差動増幅器、  
P1…PMOSトランジスタ、  
Raf、Rb…抵抗、  
Ra、VR1、VR2…可変抵抗、  
21…外部電源パワーオン検知回路、  
22…内部電源パワーオン検知回路、  
31…レファレンス電位トリミング回路、  
32…降圧回路、  
33…昇圧回路、  
34…トリミング信号発生回路、  
36…レベルシフタ、  
Vext…外部電源電圧、



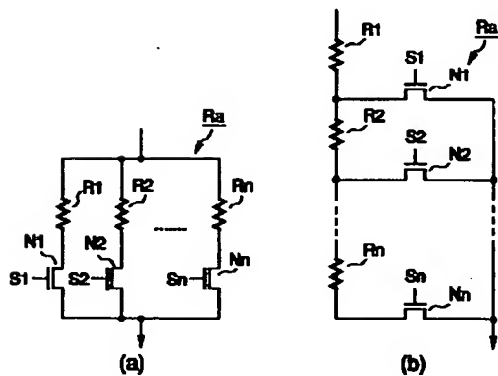
【図4】



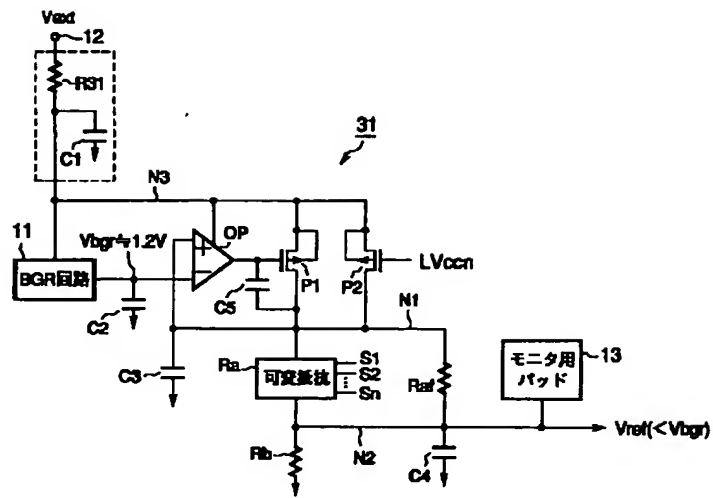
【図3】



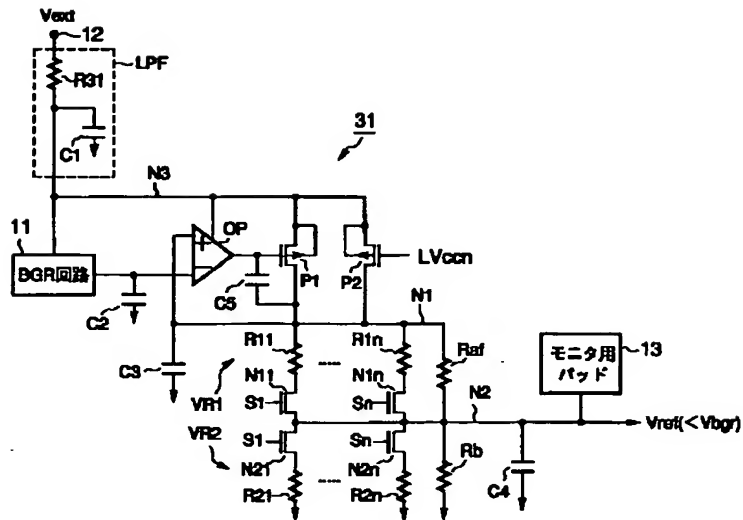
【図5】



【図6】

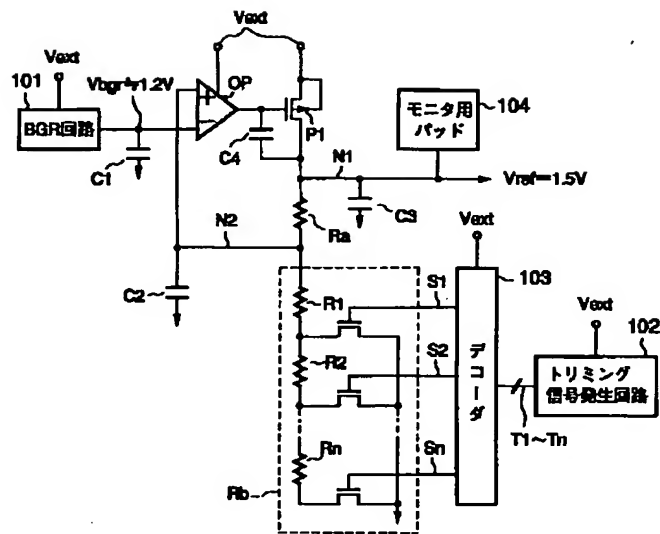


【図7】





【図10】



【図11】

